

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-284287

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

H04N 1/40
G06F 15/64

(21)Application number : 05-090471

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 26.03.1993

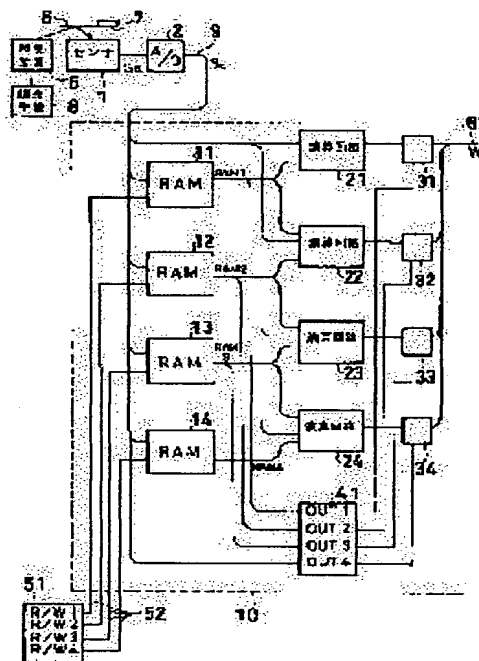
(72)Inventor : YAMADA KIICHI

(54) PICTURE READER

(57)Abstract:

PURPOSE: To obtain a shading correction circuit for the picture reader in which nonlinearity of each of light receiving elements being components of an image sensor is corrected and high speed reading is attained while improving gradation reproducibility.

CONSTITUTION: Shading correction arithmetic operations by correction arithmetic operation circuits 21...24 corresponding to each irradiation luminous quantity range are simultaneously processed in parallel regardless of an output of a picture signal from an original and a comparison selector 41 selects any of the correction arithmetic operation circuits 21...24 calculating an irradiation range including the output value of the picture signal. Since plural correction arithmetic operation circuits 21...24 are provided so as to cope with the nonlinearity of output signals for incident luminous quantity of the light receiving elements and so as to correspond to a predetermined irradiation luminous quantity range, the nonlinearity of the light receiving elements is corrected by selecting the arithmetic results of by the correction arithmetic operation circuits 21...24 and processing time is reduced while keeping excellent gradation reproducibility.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-284287

(43)公開日 平成 6 年(1994)10月 7 日

(51)Int.Cl.⁵

H 0 4 N 1/40

G 0 6 F 15/64

識別記号

1 0 1 A

4 0 0 D

庁内整理番号

9068-5C

7631-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 9 頁)

(21)出願番号

特願平5-90471

(22)出願日

平成 5 年(1993) 3 月26日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目 3 番 5 号

(72)発明者 山田 紀一

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社内

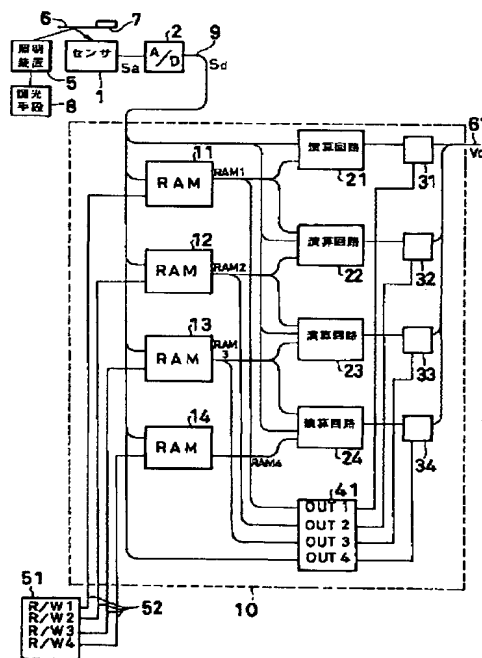
(74)代理人 弁理士 阪本 清孝 (外 1 名)

(54)【発明の名称】 画像読取装置

(57)【要約】

【目的】 画像読取装置において、イメージセンサを構成する各受光素子における非線形性を補正して階調再現性を高くしつつ、高速読み取りを可能とするシェーディング補正回路を提供する。

【構成】 原稿の画像信号の出力値にかかわらず、各照射光量範囲に対応する各補正演算回路によるシェーディング補正演算を同時に並列して行ない、前記画像信号の出力値が含まれる照射範囲の演算する前記補正演算回路を比較選択器により選択する。補正演算回路は、受光素子の入射光量に対する出力信号の非線形性に対処するため、予め定めた照射光量範囲に対応するように複数個設けたので、補正演算回路による演算結果を選択することで受光素子の非線形性を補正することができ、良好な階調再現性を図りつつ処理時間の短縮化を図ることができる。



【特許請求の範囲】

【請求項1】 原稿又は基準画面を照射する照明手段と、複数の受光素子からなり前記照明装置からの反射光を電気信号に変換して画像信号を得る受光素子アレイと、該受光素子アレイからの画像信号をデジタル信号に変換するA/D変換器と、各受光素子からの前記デジタル信号を基準画面に対して規格化するシェーディング補正回路とを有する画像読取装置において、前記照明手段の光量を設定する調光手段を設けるとともに、前記シェーディング補正回路は、前記調光手段により設定された複数の照射光量毎に読み取った基準画面の画像信号を記憶する記憶素子と、シェーディング補正の演算をテーブル化したROMを有し原稿の画像信号と前記基準画面の画像信号から各照射光量範囲に対応するシェーディング補正を行なう複数の補正演算回路と、原稿の画像信号と基準画面の画像信号とを比較して前記原稿の画像信号の照射光量に対応する補正演算回路を選択する比較選択器と、を具備することを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、照明手段による原稿面からの反射光を画像信号として読み取る受光素子アレイを有する画像読取装置に係り、特に、照明手段からの入射光量に対する各受光素子からの出力値の非線形性を補正する機能を有するシェーディング補正回路に関する。

【0002】

【従来の技術】ファクシミリやOCR等の画像読取装置は、例えば、原稿を照射する照明装置と、複数の受光素子からなり前記照明装置からの反射光を電気信号に変換して画像信号を得る受光素子アレイとを有して構成されている。受光素子アレイを構成する各受光素子は、感度において位置的なばらつきを有している。また、照明装置としては使用されるLEDアレイや蛍光灯等においても、照射光量の位置的なばらつきを有している。従って、各画素における感度むらを排除し、正しい階調を得るため、各受光素子からの画像信号を電氣的に補正するシェーディング補正が行なわれる。

【0003】図8は従来の画像読取装置の一例を示す構成ブロック図である。イメージセンサ1はフォトダイオードから成る複数の受光素子を配列して形成され、クロック信号入力より各受光素子を駆動回路（図示せず）によって順次選択駆動させ、受光素子アレイの1ラインに対応する時系列的信号となるアナログ画像信号Saを出力する。このアナログ画像信号SaはA/D変換器2で複数ビットのデジタル画像信号Sdに変換される。原稿面の画像読み取りに先立ち、全面白色の基準画面をイメージセンサ1で読み取り、この時の各受光素子のデジタル画像信号（基準画面の画像信号Sw）を各受光素子毎にRAM3に記憶保持しておく。次に、イメージセ

ンサ1で読み取った原稿面の画像信号Sdと、前記RAM3からの基準画面の画像信号SwとがROM4に入力され、ROM4に書き込まれているシェーディング補正演算テーブルにより画像信号Sdに補正が施されて出力される。この演算は、各受光素子の基準画面の画像信号Swを規格化することにより画像信号Sdを補正演算し、例えば、デジタル画像信号Sdが8ビット信号であれば、基準画面（白画面）での出力が出力値255となるように、各受光素子の画像信号毎に、補正出力値V0 = (Sd / Sw) × 255 という補正が行なわれる。

【0004】しかし、前記補正は、受光素子において照射光量に対する出力電圧特性が図9の直線Xに示すようにリニアの関係にあると仮定した上での補正であり、実際の受光素子の入出力特性は、温度や湿度等の環境変化によって、曲線Yに示すように非線形なものとなり、そのために正確に補正することができず階調再現性に支障を来していた。そこで、上記のようにシェーディング補正により規格化を行なった後、受光素子からの画像信号の非線形補正を行なう機能を有する画像読取装置が提案されている。非線形補正の方法としては、測光センサを使用し、光量を段階的に変化させたときのイメージセンサの受光素子の出力値と測光センサの出力値との関係を予めルックアップテーブルとして作成しておく。原稿の画像読み取りの際には、画像信号を先ず上記したシェーディング補正により規格化し、その後、この画像信号の大きさに対応する照射光量での測光センサの出力値をルックアップテーブルから引用し、測光センサの出力特性が各受光素子の特性を代表するものと仮定して、この値を規格化済みの画像信号に演算することにより受光素子の非線形補正を行なう（特開平1-305665号公報参照）。

【0005】

【発明が解決しようとする課題】しかしながら、上述した画像読取装置による受光素子の非線形補正では、シェーディング補正による規格化演算と、受光素子の非線形補正演算とをそれぞれ別に行なうため、シェーディング補正回路が複雑化するとともに、補正演算処理時間が長くなるため高速読み取りができないという問題点があった。また、受光素子の非線形補正においては、測光センサの入出力特性を各受光素子の代表値として用いているので、数千個の受光素子から形成される実際のイメージセンサの場合の各受光素子における非線形性の特性のばらつきまで補正することができない。

【0006】本発明は上記実情に鑑みてなされたもので、イメージセンサを構成する各受光素子における非線形性を補正して階調再現性を高くしつつ、高速読み取りを可能とするシェーディング補正回路を有する画像読取装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記従来例の問題点を解

決するため本発明は、原稿又は基準画面を照射する照明手段と、複数の受光素子からなり前記照明装置からの反射光を電気信号に変換して画像信号を得る受光素子アレイと、該受光素子アレイからの画像信号をデジタル信号に変換するA/D変換器と、各受光素子からの前記デジタル信号を基準画面に対して規格化するシェーディング補正回路とを有する画像読取装置において、次の構成を特徴としている。前記照明手段の光量を設定する調光手段を設ける。前記シェーディング補正回路は、前記調光手段により設定された複数の照射光量毎に読み取った基準画面の画像信号を記憶する記憶素子と、シェーディング補正の演算をテーブル化したROMを有し原稿の画像信号と前記基準画面の画像信号から各照射光量範囲に対応するシェーディング補正を行なう複数の補正演算回路と、原稿の画像信号と基準画面の画像信号とを比較して前記原稿の画像信号の照射光量に対応する補正演算回路を選択する比較選択器とを有している。

【0008】

【作用】本発明によれば、原稿の画像信号の出力値にかかわらず、各照射光量範囲に対応する各補正演算回路によるシェーディング補正演算を同時に並列して行ない、前記画像信号の出力値が含まれる照射範囲の演算する前記補正演算回路を比較選択器により選択する。補正演算回路は、受光素子の入射光量に対する出力信号の非線形性に対処するため、予め定めた照射光量範囲に対応するように複数個設けたので、補正演算回路による演算結果を選択することで受光素子の非線形性を補正することができ、良好な階調再現性を図ることができる。また、各補正演算回路による補正演算は、同時に並列して行なわれるので、従来例で述べたように画像信号のシェーディング補正を行なった後に非線形の補正を行なう方式に比較して補正処理時間を短くすることができ、高速処理を可能とすることができる。

【0009】

【実施例】本発明の画像読取装置の一実施例について図1ないし図5を参照しながら説明する。イメージセンサ1はフォトダイオードから成る複数の受光素子を配列して形成され、クロック信号入力より各受光素子を駆動回路（図示せず）によって順次選択駆動させ、受光素子アレイの1ラインに対応する時系列的信号となるアナログ画像信号Saを出力する。このアナログ画像信号SaはA/D変換器2で8ビットのデジタル画像信号Sdに変換される。A/D変換器2から出力されるデジタル画像信号Sdは、シェーディング補正回路10に入力される。また、イメージセンサ1には、その近傍に配置された照明装置5からの照射光による原稿面6の反射光が入射するように構成されている。更に、イメージセンサ1には、照明装置5からの照射光により、全面白色とした基準画面7からの反射光が入射するようになってい

せて照射光量を調節できるように構成されている。

【0010】シェーディング補正回路10は、画像信号の規格化を行なうシェーディング補正と、受光素子の入射光量に対する出力信号の非線形性を補正する非線形補正とを行なう回路である。シェーディング補正回路10は、前記非線形補正を行なうため、4段階の範囲の入射光量に対して受光素子の画像信号を適性に補正できるように、基準画面の画像信号を記憶する4つのRAM11、12、13、14と、画像信号を補正する4つの演算回路21、22、23、24と、各演算回路に接続する4つの3状態バッファ31、32、33、34と、一つの3状態バッファの出力を選択する比較選択器41とを有している。

【0011】各RAM11、12、13、14のデータ入力側には、A/D変換器2の出力線であるデジタル画像信号線9と、タイミング発生器51の出力線52が接続されている。タイミング発生器51は、各RAMの読み出し許可信号／書き込み許可信号を出力するものであり、出力線52を介して各RAMのR/W端子にそれぞれ接続されている。各RAMにおいては、前記書き込み許可信号に基づいて、照明装置5による照射光量を変化させた際の基準画面7の画像信号（後述するRAM1、RAM2、RAM3、RAM4）をそれぞれ記憶したり（書き込みモード）、読み出し許可信号に基づいて記憶された基準画面7の画像信号を出力する（読み出しモード）ことが行なわれる。RAM中の各受光素子に対応する記憶アドレスの指定には、受光素子を選択駆動して時系列的に出力信号を処理しているため、イメージセンサ1の各受光素子を駆動するクロック信号のカウント数を用いる。また、基準画面7の画像信号の書き込み時のRAMの選択は、それぞれの照射光量設定時に対応するRAMをタイミング発生器51で書き込みモードに設定することにより行なわれる。

【0012】RAM11のデータ出力線は、演算回路21及び演算回路22のアドレス入力端子及び比較選択器41のデータ入力端子に接続されている。RAM12のデータ出力線は、演算回路22及び演算回路23のアドレス入力端子及び比較選択器41のデータ入力端子に、RAM13のデータ出力線は、演算回路23及び演算回路24のアドレス入力端子及び比較選択器41のデータ入力端子に、RAM14のデータ出力線は、演算回路24のアドレス入力端子及び比較選択器41のデータ入力端子に、それぞれ接続されている。

【0013】演算回路21、22、23、24のアドレス入力端子には、A/D変換器2のデジタル画像信号線9からのデジタル画像信号Sdが入力され、前記各RAMからの基準画面7の画像信号とによりシェーディング補正及び非線形補正の演算が行なわれる。すなわち、各演算回路には、それぞれ所定の照射光量範囲（階調範囲）において受光素子の非線形性を考慮した適性な

シェーディング補正演算式がテーブル化され、アドレス指定によって演算結果が得られるようになっている。各演算回路は、調光手段8により照明装置5の照射光量値をP1、P2、P3、P4の4段階に変化させ、各照射光量値を上限とした照射光量範囲を設定し、各照射光量範囲に応じて異なる演算式のテーブルが書き込まれている。前記照射光量値P4は、受光素子の最大出力値(出力値255)が得られる光量値とし、P4を4等分してP1、P2、P3を設定する。

【0014】すなわち、演算回路21には、照射光量が0〜P1のときに受光素子の非線形性を考慮してシェーディング補正ができるように、RAM21による基準画面7の画像信号出力をRAM1とした場合に、補正出力 $V_0 = (S_d / RAM1) \times 63$ を出力するシェーディング補正演算式がテーブル化されている。演算回路22には、照射光量がP1〜P2のときに各受光素子の非線形性を考慮してシェーディング補正ができるように、RAM22の基準画面7の画像信号出力をRAM2とした場合に、補正出力 $V_0 = ((S_d - RAM1) / (RAM2 - RAM1)) \times 63 + 63$ を出力するシェーディング補正演算式がテーブル化されている。演算回路23には、照射光量がP2〜P3のときに各受光素子の非線形性を考慮してシェーディング補正ができるように、RAM23の基準画面7の画像信号出力をRAM3とした場合に、補正出力 $V_0 = ((S_d - RAM2) / (RAM3 - RAM2)) \times 63 + 127$ を出力するシェーディング補正演算式がテーブル化されている。演算回路24には、照射光量がP3〜P4のときに各受光素子の非線形性を考慮してシェーディング補正ができるように、RAM24の基準画面7の画像信号出力をRAM4とした場合に、補正出力 $V_0 = ((S_d - RAM3) / (RAM4 - RAM3)) \times 63 + 191$ を出力するシェーディング補正演算式がテーブル化されている。

【0015】次に演算回路の構成について、図2に示した演算回路22を参照して説明する。演算回路22は、ROM221、222、223から構成されている。ROM221の入力側には画像信号 S_d とRAM21のデータ出力線が接続され、 $S_d - RAM1$ の演算がテーブル化されている。ROM222の入力側にはRAM21のデータ出力線とRAM22のデータ出力線が接続され、 $RAM2 - RAM1$ の演算がテーブル化されている。それぞれの演算結果はROM223に入力され、照射光量がP1〜P2のときに受光素子の非線形性を考慮してシェーディング補正ができる補正出力 $V_0 = ((S_d - RAM1) / (RAM2 - RAM1)) \times 63 + 63$ の演算結果をテーブルから読み取り出力する。演算回路23及び演算回路24の構成は、演算式以外は演算回路22と同様である。また、演算回路21は、演算回路22中のROM223に相当する1つのROMから成り、画像信号 S_d 及びRAM11からのRAM1を入力

して、補正出力 $V_0 = (S_d / RAM1) \times 63$ の演算結果をテーブルから読み取り出力する。

【0016】比較選択器41は、デジタル画像信号 S_d が、P0〜P1、P1〜P2、P2〜P3、P3〜P4のいずれの照射光量に対応する信号であるかを判定し、4つの制御信号線OUT1、OUT2、OUT3、OUT4にそれぞれ制御信号を出力する。各制御信号線は、各演算回路21、22、23、24に対応して接続された各3状態バッファ31、32、33、34の出力イネーブル端子に接続され、前記制御信号により一つの3状態バッファを選択し、この3状態バッファに接続された演算回路からの補正出力 V_0 を出力線61に出力するようになっている。

【0017】比較選択器41は、例えば、図3に示すように、3つの比較器411、412、413を有する論理回路で構成されている。各比較器には、RAM11からの信号出力RAM1、RAM12からの信号出力RAM2、RAM13からの信号出力RAM3がそれぞれ入力されるとともに、デジタル画像信号 S_d が入力され、両信号値の大きさの比較を行ない、デジタル画像信号 S_d の方が小さいときに「H」の信号を出力する。各RAMからの出力される信号出力RAM1、RAM2、RAM3は、照射光量P1、P2、P3に対する基準画面7の画像信号であるので、 $RAM1 < RAM2 < RAM3$ が成立するので、デジタル画像信号 $S_d \leq RAM1$ のときには制御信号線OUT1のみに「H」信号が、 $RAM1 \leq$ デジタル画像信号 $S_d < RAM2$ のときには制御信号線OUT2のみに「H」信号が、 $RAM2 \leq$ デジタル画像信号 $S_d \leq RAM3$ のときには制御信号線OUT3のみに「H」信号が、 $RAM3 <$ デジタル画像信号 S_d のときには制御線OUT4のみに「H」信号が、それぞれ出力される。

【0018】次に、上記画像読取装置の動作について、図1の構成ブロック図、図4のタイミングチャート図及び図5の階調特性グラフを参照して説明する。本実施例の画像読取装置では、基準画面7を用いてイメージセンサ1への照射光量を設定し、シェーディング補正に必要な規格化信号(基準画面の画像信号)を各RAMに記憶させる。すなわち、調光手段8により照明装置5の照射光量を4段階に設定し、各照射光量で基準画面7(全面白画面)を照射し、その反射光を各規格化信号として各RAMに記憶させる。本実施例では、デジタル画像信号 S_d が8ビット信号であるので、受光素子の出力値が255となる光量をP4とし、P4の1/4の光量をP1、P4の1/2の光量をP2、P4の3/4の光量をP3とすることにより、シェーディング補正を行なった後の出力値を、P1のときに出力値63、P2のときに出力値127、P3のときに出力値191と補正すれば、図5の階調特性グラフにおいて、曲線Y上の点A、B、Cを点A(P1, 63)、B(P2, 127)

7)、C(P3, 191)に規格化するシェーディング補正を行なうことができる。

【0019】そこで先ず、照明装置5の照射光量をP1に設定し(チャート101)、基準画面7からの反射光をイメージセンサ1で読み取り、タイミング発生器51からの書き込み許可信号によりRAM11を書き込みモードにして、デジタル画像信号Sd(基準画面7のデジタル画像信号:RAM1)をRAM11に書き込む(チャート102)。この動作は、イメージセンサ1を構成する全ての受光素子の基準画面7に対する画像信号が、駆動された受光素子の順序でRAM11に書き込まれる。次に、照明装置5の照射光量をP2に設定し(チャート103)、基準画面7からの反射光をイメージセンサ1で読み取り、前記同様に、タイミング発生器51からの書き込み許可信号によりRAM12を書き込みモードにして、デジタル画像信号Sd(基準画面7のデジタル画像信号:RAM2)をRAM12に書き込む(チャート104)。同様にして、照射光量P3, P4における基準画面7のデジタル画像信号を、RAM13, RAM14にそれぞれ書き込み(チャート105~108)、各照射光量での基準画像信号の記憶動作を完了させ、初期設定を終了する。

【0020】原稿画像の読み取り動作においては、タイミング発生器51より読み出し許可信号を発生させ、RAM11, 12, 13, 14は全て読み出しモードとなるように設定する。原稿画像の読み取りを開始し、イメージセンサ1を構成する各受光素子の時系列的なデジタル画像信号SdをA/D変換器2から出力させる。イメージセンサ1を構成するある受光素子のデジタル画像信号Sd1と、各RAM11, 12, 13, 14に記憶された当該受光素子の各照射光量での基準画面7の画像信号(RAM1, RAM2, RAM3, RAM4)を用いて、各演算回路21, 22, 23, 24のアドレス指定を行なう。この段階では、デジタル画像信号Sd1の大きさにかかわらず(照射光量に関係なく)、照射光量範囲P0~P1, P1~P2, P2~P3, P3~P4でのデジタル画像信号Sd1のそれぞれの補正演算が各演算回路で並列的に行なわれる。

【0021】一方、デジタル画像信号Sd1と各RAMに記憶された基準画面7画像信号は、比較選択器に入力され、デジタル画像信号Sd1と各基準画面の画像信号(RAM1, RAM2, RAM3, RAM4)の大きさを比較し、デジタル画像信号Sd1の含まれる照射光量領域を判定し、その照射光量範囲での演算を行なった演算回路に接続された3状態バッファの出力を、比較選択器41からの制御信号によりアクティブにして出力線61に出力させる(チャート109)。以上の動作を各受光素子によって読み取られた画像信号に対して順次行なうことにより、イメージセンサ1のデジタル画像信号Sdのシェーディング補正及び非線形補正を行な

い、補正出力V0を得ることができる。すなわち、図5に示すように、補正前の画像信号においては曲線Yに示すような非線形な特性を、照射光量P1, P2, P3, P4においてそれぞれ出力値63, 127, 191, 255となるよう入出力の非線形性を考慮した前記した各演算式により補正するので、補正出力値V0は、座標A(P1, 63), B(P2, 127), C(P3, 191), D(P4, 255)をそれぞれ結んだ折れ線となり、点線で示した直線に近似して階調再現性を向上させることができる。

【0022】上記したようなシェーディング補正回路10による補正によれば、各照射光量に対応する非線形性を考慮した補正演算は並列に行なわれているため、その補正演算に要する処理時間は規格化のための補正演算回路の処理時間程度しか必要としないため、規格化した後に非線形補正を行なう場合に比較して処理時間を短縮して読み取りの高速化を図ることができる。

【0023】上記実施例においては、原稿面の濃淡を読み取る画像読取装置について説明したが、受光素子の入射光量に対する出力信号の非線形性による階調再現性の劣化は、特に、カラー画像を読み取るカラー画像読取装置において、赤色、緑色、青色の色バランスを崩し、原画像の適切な色再現を損うという問題点がある。

【0024】図6は、本発明をカラー画像読取装置に適用した実施例を示すもので、画像信号を赤(R), 緑(G), 青(B)の3原色に分離して出力する出力線を有するカラーイメージセンサ1aと、各出力線に接続されたA/D変換器2a, 2b, 2cと、各A/D変換器に接続されたシェーディング補正回路10a, 10b, 10cとから構成されている。各シェーディング補正回路は、図1の実施例と同様に構成され、予め複数段階の照射光量を設定し、各色毎に全ての受光素子の基準画面の画像信号を記憶している。カラー画像を読み取った場合には、各色毎にシェーディング補正回路によりシェーディング補正及び非線形補正の演算を行ない、各色毎に補正出力VR0, VG0, VB0を得る。

【0025】図7は、本発明をカラー画像読取装置に適用した場合の他の実施例を示すもので、画像信号を赤(R), 緑(G), 青(B)の3原色に分離して出力するカラーイメージセンサ1aと、出力線に接続されたA/D変換器2と、A/D変換器2に接続されたシェーディング補正回路10と、シェーディング補正回路10からの補正画像信号を色別に分離する色分離回路70から構成されている。カラーイメージセンサ1aの出力線には、イメージセンサ1aの読み取りのクロック信号に従い、時系列的にR, G, B, R, G, B...という順に画像信号が出力される。シェーディング補正回路10は、図1の実施例と同様に構成され、予め複数段階の照射光量を設定し、色による区別をせずに駆動された受光素子の順序で基準画面の画像信号を順次記憶している。カラ

9

一画像を読み取った場合には、駆動された受光素子の順序でシェーディング補正回路10によりシェーディング補正及び非線形補正の演算を行なう。シェーディング補正回路10からの補正出力は色分離回路70により分離され、補正出力VR0、VG0、VB0を得る。色分離回路70は、例えばカラーイメージセンサを構成する各色の受光素子を指定駆動するクロック信号のカウント数を用いて出力信号の色を判定し、その色に対応する出力線を選択して補正画像信号を出力するようになっている。

【0026】

【発明の効果】本発明によれば、原稿の画像信号の出力値にかかわらず、各照射光量範囲に対応する各補正演算回路によるシェーディング補正及び非線形補正の演算を同時に並列して行ない、前記画像信号の出力値が含まれる照射範囲の演算する前記補正演算回路を比較選択器により選択するようにしたので、従来例で述べたように画像信号のシェーディング補正を行なった後に非線形の補正を行なう方式に比較して補正処理時間を短くし、読み取りの高速処理を可能しつつ画像信号の階調再現性の向上を図ることができる。

【0027】また、各受光素子においては、複数段階での照射光量に対応する基準画面の画像信号を用いてシェーディング補正を行なうので、個々の受光素子の特性のばらつきにまで対応して非線形補正を行なうことができるので、階調再現性の一層の向上を図ることができる。

【図面の簡単な説明】

(6)

特開平6-284287

10

*【図1】 本発明の画像読取装置の一実施例を示す構成ブロック図である。

【図2】 図1の画像読取装置における演算回路の構成を示すブロック図である。

【図3】 図1の画像読取装置における比較選択器の構成を示すブロック図である。

【図4】 図1の画像読取装置の動作を説明するためのフローチャート図である。

【図5】 図1の画像読取装置による階調再現性の向上を示す特性図である。

【図6】 本発明をカラー画像読取装置に適用した場合の一実施例を示す構成ブロック図である。

【図7】 本発明をカラー画像読取装置に適用した場合の他の実施例を示す構成ブロック図である。

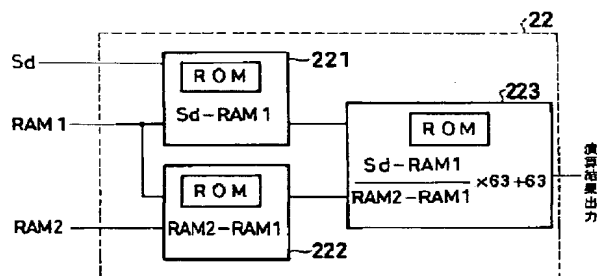
【図8】 従来の画像読取装置の構成ブロック図である。

【図9】 従来の画像読取装置による階調再現性を示す特性図である。

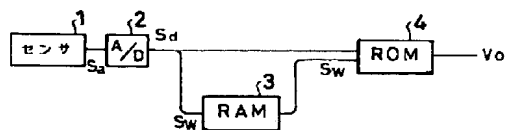
【符号の説明】

- 20 1…イメージセンサ、 2…A/D変換器、 5…照明装置、 6…原稿、 7…基準画面、 8…調光手段、 9…デジタル画像信号線、 10…シェーディング補正回路、 11、12、13、14…RAM（記憶素子）、 21、22、23、24…演算回路、 31、32、33、34…3状態バッファ、 41…比較選択器、 51…タイミング発生器、 61…出力線

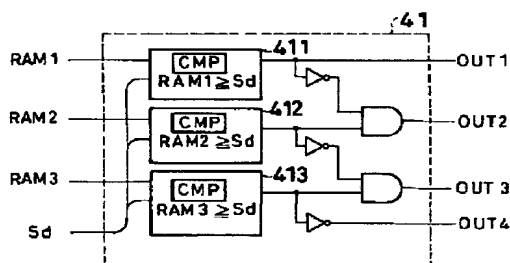
【図2】



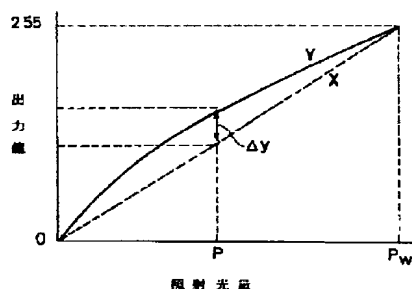
【図8】



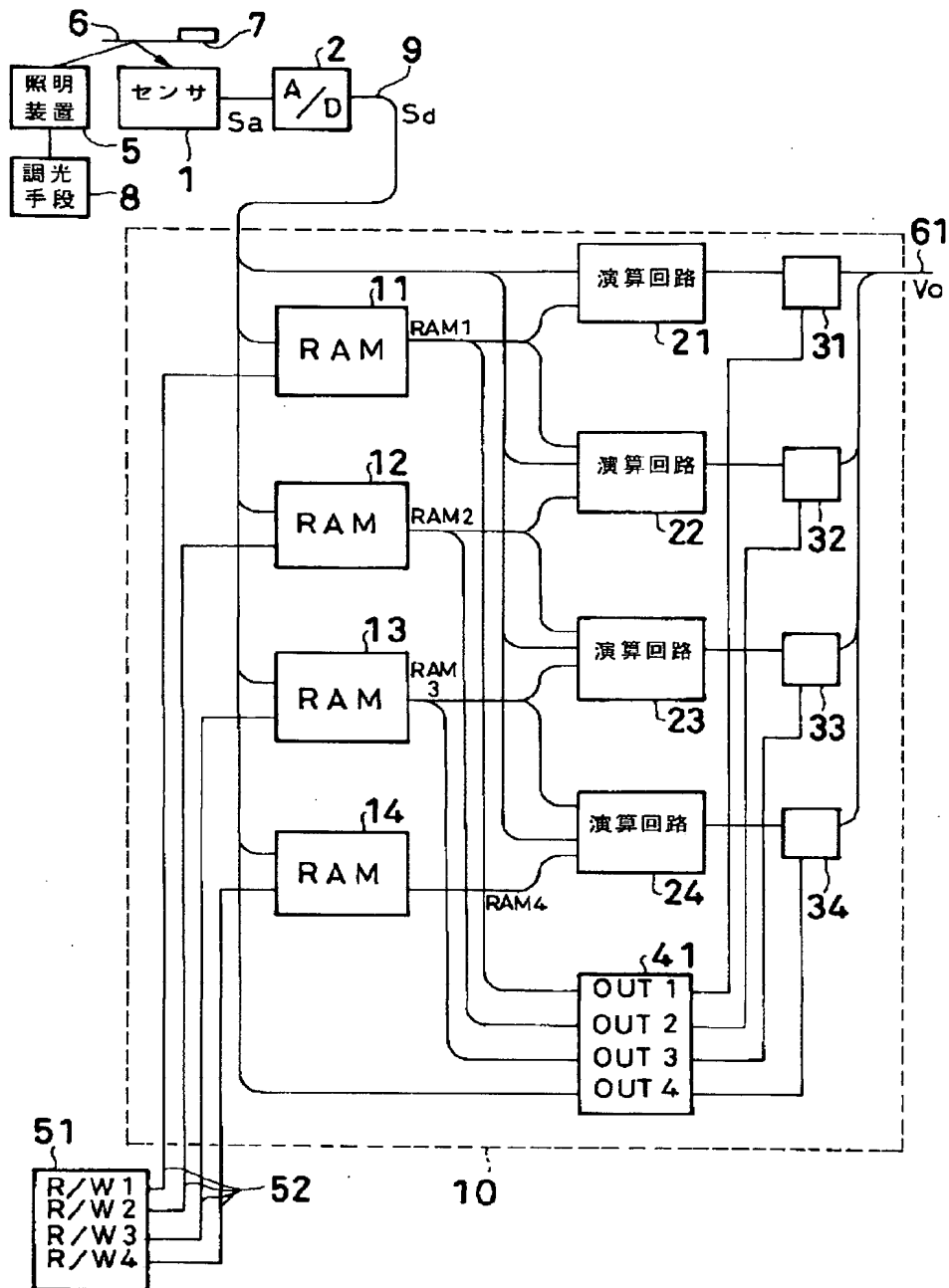
【図3】



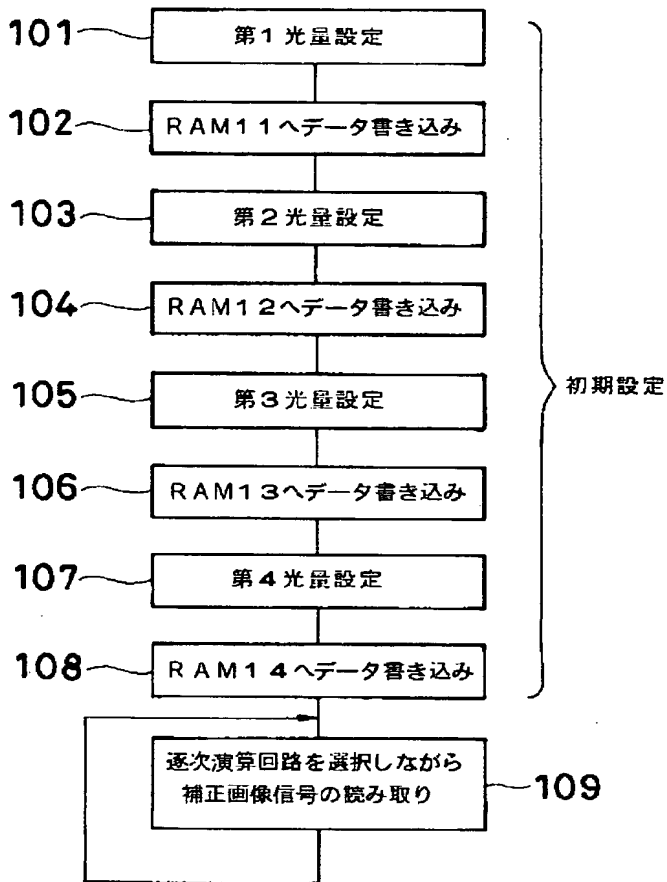
【図9】



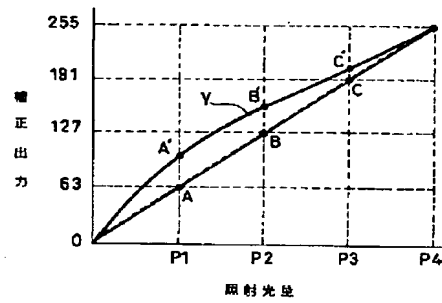
【図1】



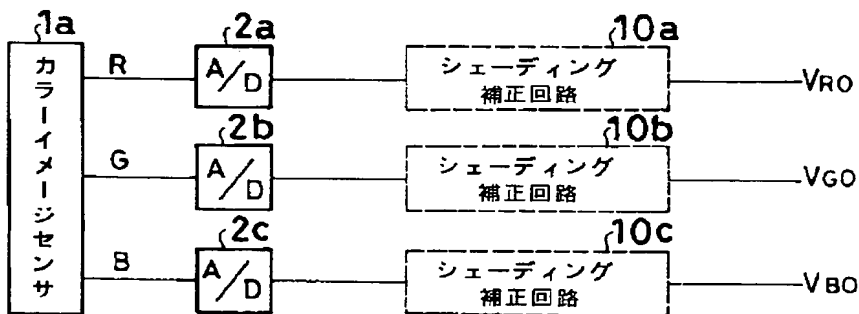
【図4】



【図5】



【図6】



【図7】

